

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-166391

(43)Date of publication of application : 02.07.1993

(51)Int.Cl.

G11C 16/06
G06F 15/78

(21)Application number : 03-353499

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.12.1991

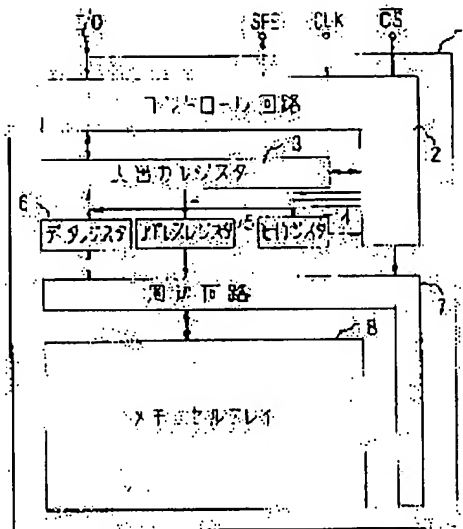
(72)Inventor : INOUE TETSUHIKO

(54) MEMORY DEVICE

(57)Abstract:

PURPOSE: To reduce the number of terminals by providing a controlling circuit which performs data read or write controls by read or write mode signals and address signals inputted from an input/output terminal.

CONSTITUTION: A controlling circuit 2 reads data from the corresponding addresses of a memory cell array 8 through a peripheral circuit 7 by the read signal mode signals and the address signals inputted from an input output terminal I/O and outputs them to the terminal I/O. Moreover, during a data writing, the circuit 2 writes the data from the terminal I/O to the corresponding addresses of the array 8 by the write mode signals and the address signals inputted from the terminal I/O.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-166391

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
G 0 6 F 15/78	5 1 0 E	7530-5L		
		9191-5L	G 1 1 C 17/ 00	3 0 9 Z

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平3-353499

(22)出願日 平成3年(1991)12月17日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 井上 哲彦

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

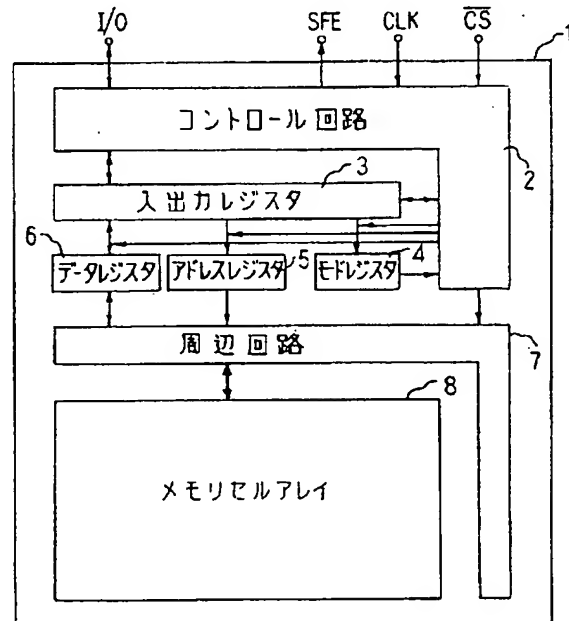
(74)代理人 弁理士 宮園 純一

(54)【発明の名称】 メモリ装置

(57)【要約】

【目的】 モード制御信号入力端子と入出力端子を共通化できるようにすることにより、端子数の削減を図る。

【構成】 入出力端子1/Oは、読み出し又は書き込みを行なうためのモード信号の入力と、アドレス信号の入力と、読み出されたデータの出力又は書き込みデータの入力とをシリアルに行なう。コントロール回路2は、データの読み出し時には入出力端子1/Oから入力された読み出しモード信号及びアドレス信号によってメモリセルアレイ8の該当するアドレスからデータを読み出し入出力端子1/Oへ出力する制御を行なうと共に、データの書き込みあるいは書き換え時には入出力端子1/Oから入力された書き込みモード信号及びアドレス信号によって入出力端子1/Oからのデータをメモリセルアレイ8の該当するアドレスに書き込む制御を行なう。



【特許請求の範囲】

【請求項1】 データを記憶するメモリセルアレイを備えたメモリ装置において、上記メモリセルアレイに対するデータの読み出しあるいは書き込みを行なうためのモード信号の入力と上記メモリセルアレイのアドレスを指定するためのアドレス信号の入力と上記メモリセルアレイから読み出されたデータの出力あるいはメモリセルアレイに書き込むデータの入力とをシリアルに行なうための入出力端子と、データの読み出し時には上記入出力端子から入力された読み出しモード信号及びアドレス信号によって上記メモリセルアレイの該当するアドレスからデータを読み出し上記入出力端子へ出力する制御を行なうと共に、データの書き込みあるいは書き換え時には上記入出力端子から入力された書き込みモード信号及びアドレス信号によって上記入出力端子からのデータを上記メモリセルアレイの該当するアドレスに書き込む制御を行なうコントロール回路とを設けたことを特徴とするメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電氣的に書き換え可能な不揮発性半導体メモリ装置等のメモリ装置に関するものである。

【0002】

【従来の技術】 図4は、従来の不揮発性半導体メモリ装置の構成を示すブロック図である。図4において、11は不揮発性半導体メモリ装置、12はこの不揮発性半導体メモリ装置全体を制御するコントロール回路、13は入出力端子I/Oよりアクセスされたアドレス信号を保持するアドレスレジスタ、14はデータを記憶するメモリセルアレイ、15はデータの入出力を行なうデータ入出力部である。クロック端子CLKからはクロック信号を入力し、チップセレクト端子CS（反転）は“L”

（ローレベル信号）でチップセレクトされる。C1、C2、C3は各モード制御信号入力端子である。

【0003】 次に動作について説明する。図5に従来の読み出し処理のタイミングチャート、図6に従来の書き換え処理のタイミングチャートを示す。説明を簡単にするため、図5の従来の読み出し処理について説明する。図5のように、読み出しを行なう場合、図4におけるモード制御信号入力端子C1、C2、C3より、スタンバイモード、アドレス入力モード、スタンバイモード、読み出しモード、スタンバイモード、データ出力モード、スタンバイモードと各モードに対応してデータをクロック端子CLKのクロック信号が“H”（ハイレベル）の間に切り換え、入出力端子I/Oよりアドレス信号を入力することによってメモリセルアレイ14の指定したアドレス内に記憶されているデータを読み出す。この読み出しの制御はコントロール回路12によって行なわれる。書き換え処理においても同様にモード制御信号入力

端子C1、C2、C3より各モードに対応したデータを入力し、データの書き換えを行なう。

【0004】

【発明が解決しようとする課題】 従来のメモリ装置（不揮発性半導体メモリ装置）は、上述したように構成されているので、読み出しを行なう場合に、スタンバイモード、アドレス入力モード、読み出しモード、データ出力モードの4種類のモードを指定しなければならず、また、書き換えを行なう場合には、スタンバイモード、アドレス入力モード、消去モード、データ入力モード、書き込みモードの5種類のモードを指定しなければならず、したがってこのような多くのモードを切り換えることが必要で、このために必要な複数のモード制御信号入力端子を備えているが、このような端子は入出力端子と共通化できず、このため、これよりも端子数を減らすことができないという問題点があった。

【0005】 この発明は上記のような問題点を解決するためになされたもので、モード制御信号入力端子と入出力端子を共通化できるようにすることにより端子数の削減を図れるメモリ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 この発明に係るメモリ装置は、メモリセルアレイ8に対するデータの読み出しあるいは書き込みを行なうためのモード信号の入力と上記メモリセルアレイ8のアドレスを指定するためのアドレス信号の入力と上記メモリセルアレイ8から読み出されたデータの出力あるいはメモリセルアレイ8に書き込むデータの入力とをシリアルに行なうための入出力端子I/Oと、データの読み出し時には上記入出力端子I/Oから入力された読み出しモード信号及びアドレス信号によって上記メモリセルアレイ8の該当するアドレスからデータを読み出し上記入出力端子I/Oへ出力する制御を行なうと共に、データの書き込みあるいは書き換え時には上記入出力端子I/Oから入力された書き込みモード信号及びアドレス信号によって上記入出力端子I/Oからのデータを上記メモリセルアレイ8の該当するアドレスに書き込む制御を行なうコントロール回路2とを備えたものである。

【0007】

【作用】 コントロール回路2は、データの読み出し時、入出力端子I/Oから入力された読み出しモード信号及びアドレス信号によってメモリセルアレイ8の該当するアドレスからデータを読み出し入出力端子I/Oへ出力する。またコントロール回路2は、データの書き込みあるいは書き換え時には入出力端子I/Oから入力された書き込みモード信号及びアドレス信号によって入出力端子I/Oからのデータをメモリセルアレイ8の該当するアドレスに書き込む。入出力端子I/Oは複数のモード制御信号入力端子を兼ねているので、端子数が削減される。

【0008】

【実施例】

実施例1. 図1はこの発明の一実施例に係る不揮発性半導体メモリ装置の構成を示すブロック図である。図1において、1はこの実施例の不揮発性半導体メモリ装置、2はデータの読み出し時には入出力端子1/Oから入力された読み出しモード信号及びアドレス信号によってメモリセルアレイ8の該当するアドレスからデータを読み出し入出力端子1/Oへ出力する制御を行なうと共に、データの書き込みあるいは書き換え時には入出力端子1/Oから入力された書き込みモード信号及びアドレス信号によって入出力端子1/Oからのデータをメモリセルアレイ8の該当するアドレスに書き込む制御を行なうコントロール回路2である。3はコントロール回路2との入出力を行なう信号を格納する入出力レジスタ、4は読み出しモード信号あるいは書き込みモード信号を格納するモードレジスタ、5はアドレス信号を格納するアドレスレジスタ、6はデータを格納するデータレジスタ、7はメモリセルアレイ8に対してデータの読み出しあるいは書き込みを行なうための周辺回路である。

【0009】入出力端子1/Oは、メモリセルアレイ8に対するデータの読み出しあるいは書き込みを行なうためのモード信号の入力と、メモリセルアレイ8のアドレスを指定するためのアドレス信号の入力と、メモリセルアレイ8から読み出されたデータの出力あるいはメモリセルアレイ8に書き込むデータの入力とをシリアルに行なうための端子である。チップセレクト端子CS（反転）はチップセレクト信号を入力するためのもので、チップセレクト信号が“L”で、このメモリ装置1が選択される。クロック端子CLKはクロック信号を入力するためのものである。制御信号出力端子SFEはこのメモリ装置1から外部のマイクロコンピュータ等のシステムを制御する制御信号を出力するためのものである。

【0010】次にこの実施例の動作について説明する。説明を簡単にするため、図2に示す読み出し処理のタイミングチャートに基づいて説明する。まず、チップセレクト端子CS（反転）のチップセレクト信号が“L”になりメモリ装置1がチップセレクトされる。これと同時に制御信号出力端子SFEからの制御信号を“L”となり、このメモリ装置1がモード信号の受信可能状態であることを外部システムに知らせる。外部システムはメモリ装置1に対してモード信号の送信を知らせる半クロック分の“H”信号を送信後、モード信号（読み出し時は“L”、書き込み又は書き換え時は“H”）を送信する。

【0011】一方、メモリ装置1は、外部システムからのモード信号の送信を知らせる“H”信号を受信すると、制御信号出力端子SFEの制御信号を“H”とし、外部システムに対し動作中であることを知らせる。このような動作はコントロール回路2を中心として行な

れ、また、その間、コントロール回路2では受信したモード信号が読み出しモードか書き換えモードかを判断する。今、読み出しモードであるとする、コントロール回路2は読み出しモードと判断後、制御信号出力端子SFEの制御信号を再び“L”とし、アドレス入力可能状態であることを外部システムに知らせる。これにより外部システムはアドレス信号を出力し、コントロール回路2はそのアドレス信号を受信し、周辺回路7等を介してメモリセルアレイ8の該当するアドレスからデータを読み出し、入出力端子1/Oからそのデータを出力し、外部システムに転送する。

【0012】このように本実施例のコントロール回路2は、読み出し時及び書き込み又は書き換え時の処理を行なう手段を内蔵しているので、メモリセルアレイ8のアドレスが指定されることにより、内部処理動作へと入り、自動的にデータ出力を行なう。このデータ出力と同時に再び制御信号出力端子SFEの制御信号が“L”となり、チップセレクト端子CS（反転）のチップセレクト信号も“H”となり、読み出しモードが完了する。

【0013】書き換え処理に関しても、図3に示すタイミングチャートから分るようにデータ入力までが外部システムからの入力動作であること以外は上述した読み出し処理と同様に、自動的に書き換え処理が完了することになる。

【0014】実施例2. 上記実施例1では、制御信号出力端子SFEの制御信号が“L”状態の場合に受信可能、またモード信号が“L”の場合に読み出し処理を実行し、“H”の場合に書き換え処理を実行するようにしたが、何らこれらに限らないことは言うまでもない。

【0015】実施例3. また、上記実施例1では、モードレジスタ4、アドレスレジスタ5、及びデータレジスタ6を入出力レジスタ3の他に設けたが、このようなレジスタは特に設ける必要はなく、コントロール回路2に上述したような読み出し処理及び書き換え処理を行なう手段が予め内蔵されているので、入出力レジスタ3のみ設けた場合でも同様な効果が期待でき、回路構成を簡素にできることは当然である。読み出し処理及び書き換え処理を行なう手段を内蔵する方法としては、シーケンス回路をハードウェア的に構成する方法や、内部のメモリセルアレイの一部領域にプログラム等を記憶させソフトウェア的に構成することも可能である。

【0016】以上説明したように、コントロール回路において読み出し処理時及び書き換え処理時の回路動作を行なうための手段を内蔵することにより、モード設定が読み出しモードと書き換えモードの2モード設定となり、モード設定信号、アドレス信号などをシリアルに入出力端子から入力すればよく、したがってモード制御信号入力端子と入出力端子を共通化でき、制御端子数は入出力端子、制御信号出力端子、及びチップセレクト端子の3端子となる。

【0017】

【発明の効果】以上のように本発明によれば、データの読み出し時には入出力端子から入力された読み出しモード信号及びアドレス信号によってデータを読み出し入出力端子へ出力する制御を行なうと共に、データの書き込み時あるいは書き換え時には入出力端子から入力された書き込みモード信号及びアドレス信号によって入出力端子からのデータを書き込む制御を行なうコントロール回路を設けて構成したので、入出力端子はシリアルに信号を入力することが可能となり、この入出力端子と従来のモード制御信号入力端子とは共通化でき、これにより端子数の削減が図れ、したがって外部システムとの接続構成を簡便化でき、それに伴って回路チップの小型化も図れるという効果が得られる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る不揮発性半導体メモ

リ装置の構成を示すブロック図である。

【図2】 この実施例における読み出し処理を示すタイミングチャートである。

【図3】 この実施例における書き換え処理を示すタイミングチャートである。

【図4】 従来の不揮発性半導体メモリ装置の構成を示すブロック図である。

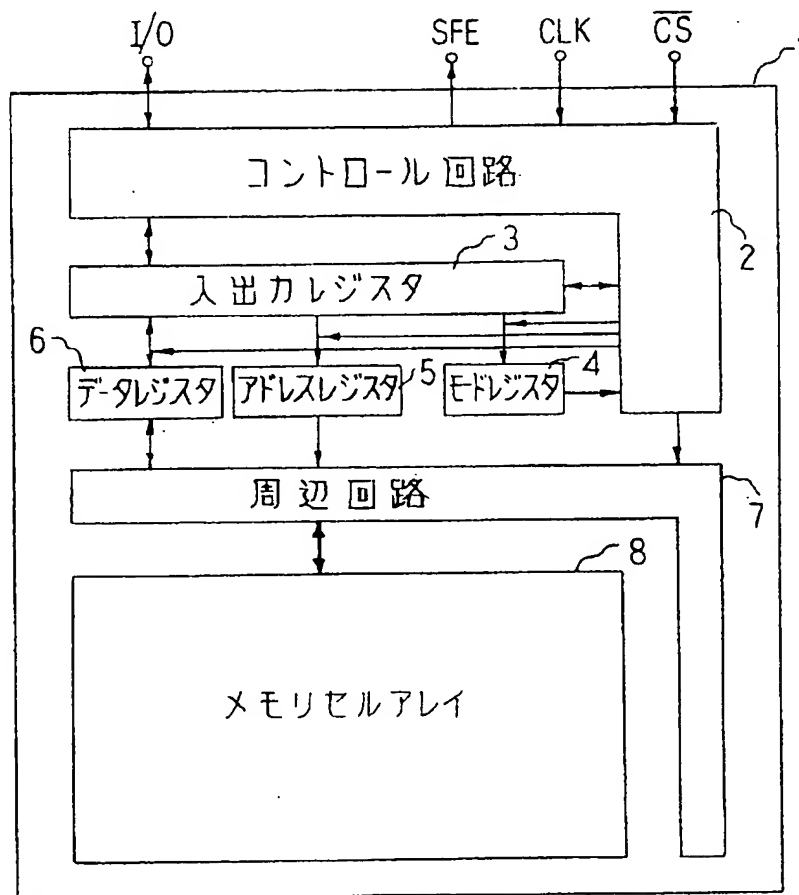
【図5】 この従来例における読み出し処理を示すタイミングチャートである。

【図6】 この従来例における書き換え処理を示すタイミングチャートである。

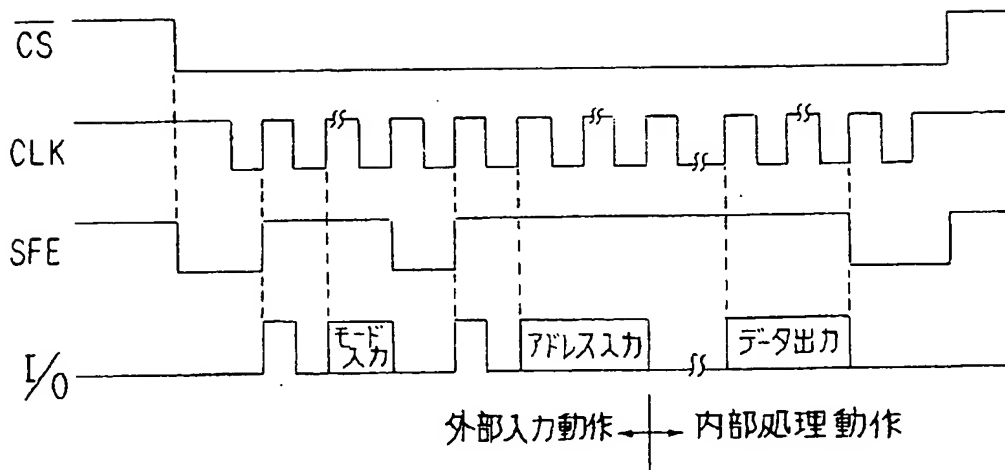
【符号の説明】

- 1 不揮発性半導体メモリ装置
- 2 コントロール回路
- 3 入出力レジスタ
- 4 モードレジスタ
- 5 アドレスレジスタ
- 6 データレジスタ
- 7 周辺回路
- 8 メモリセルアレイ
- I/O 入出力端子

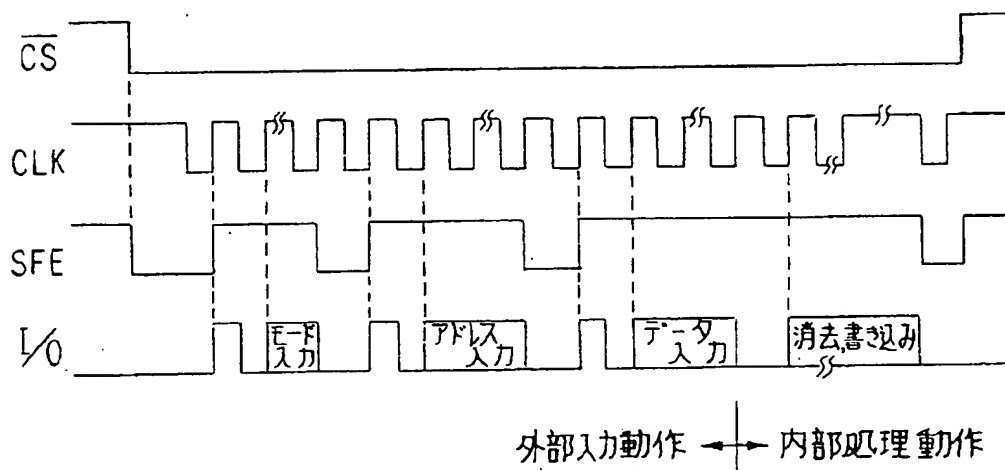
【図1】



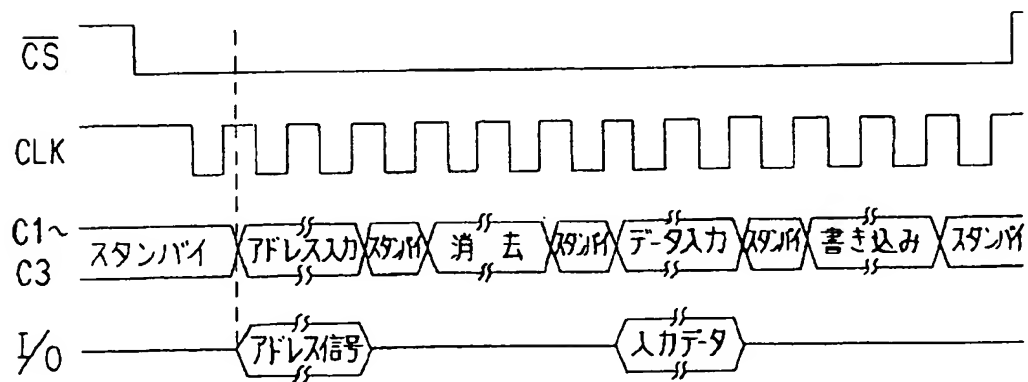
【図2】



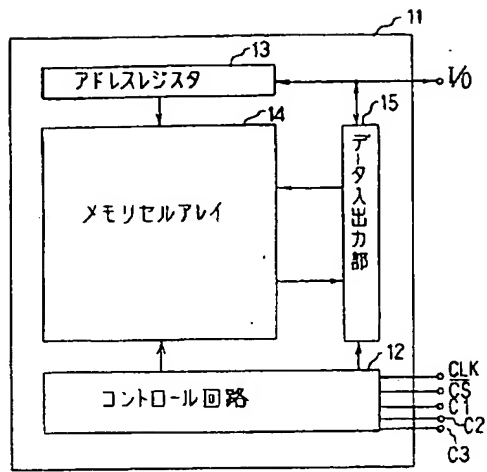
【図3】



【図6】



【図 4】



【図 5】

